

PATENT  
81790.0300  
Express Mail Label No. EV 325 217 514 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Takayuki KAWAGUCHI et al.

Serial No: Not assigned

Filed: September 25, 2003

For: Power Supply Voltage Lowering  
Circuit Used in Semiconductor Device

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-198470 which was filed July 17, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: September 25, 2003

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900

Los Angeles, California 90071

Telephone: 213-337-6700

Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   7 月 1 7 日  
Date of Application:

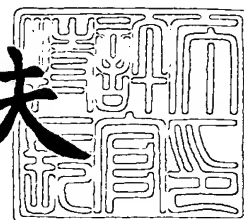
出 願 番 号            特 願 2 0 0 3 - 1 9 8 4 7 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 9 8 4 7 0 ]

出   願   人            東芝マイクロエレクトロニクス株式会社  
Applicant(s):        株式会社東芝

2 0 0 3 年   8 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000302387

【提出日】 平成15年 7月17日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明の名称】 半導体装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

【氏名】 川口 隆之

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 柏木 仁

【特許出願人】

【識別番号】 000221199

【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

## 【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9105411

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 半導体装置  
【特許請求の範囲】

【請求項 1】 基準電圧を発生し、発生した前記基準電圧を出力する出力端を有する基準電圧発生回路と、

前記基準電圧発生回路の前記出力端から供給される基準電圧に応じて外部電源電圧を降圧し、内部電源電圧を出力端から出力する電圧生成回路と、

前記外部電源電圧が供給される端子と前記電圧生成回路の前記出力端との間に電流通路が接続され、ゲートに一定の電圧が供給された負の閾値電圧を有する第 1 のトランジスタと、前記外部電源電圧が供給される端子と前記基準電圧発生回路の前記出力端との間に電流通路が接続され、ゲートに一定の電圧が供給された負の閾値電圧を有する第 2 のトランジスタとの少なくとも一方を具備することを特徴とする半導体装置。

【請求項 2】 前記第 1 のトランジスタのゲートは接地され、基板は前記電圧生成回路の前記出力端及び接地の一方に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 のトランジスタのゲートは接地され、基板は前記基準電圧発生回路の前記出力端及び接地の一方に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 基準電圧を発生し、発生した前記基準電圧を出力する第 1 の出力端、及び電流源を制御するための制御信号を発生し、発生した前記制御信号を出力する第 2 の出力端を有する基準電圧発生回路と、

前記基準電圧発生回路の前記第 1 の出力端から供給される基準電圧に応じて外部電源電圧を降圧し、内部電源電圧を出力端から出力する電圧生成回路と、

前記外部電源電圧が供給される端子と前記電圧生成回路の前記出力端との間に電流通路が接続され、ゲートに第 1 の電圧が供給された負の閾値電圧を有する第 1 のトランジスタと、

前記外部電源電圧が供給される端子と前記基準電圧発生回路の前記第 1 の出力端との間に電流通路が接続され、ゲートに第 2 の電圧が供給された負の閾値電圧

を有する第2のトランジスタと、前記外部電源電圧が供給される端子と前記基準電圧発生回路の前記第2の出力端との間に電流通路が接続され、ゲートに一定の電圧が供給された負の閾値電圧を有する第3のトランジスタとの少なくとも一方を具備することを特徴とする半導体装置。

【請求項5】 前記第1の電圧は接地電圧、前記基準電圧、前記制御信号の電圧のうちの1つであることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記第1のトランジスタの基板は前記電圧生成回路の出力端及び接地の一方に接続されていることを特徴とする請求項4記載の半導体装置。

【請求項7】 前記第2の電圧は、接地電圧及び前記制御信号の電圧のうちの1つであることを特徴とする請求項4記載の半導体装置。

【請求項8】 前記第2のトランジスタの基板は前記基準電圧発生回路の前記第1の出力端及び接地の一方に接続されていることを特徴とする請求項4記載の半導体装置。

【請求項9】 前記第3のトランジスタのゲートは接地され、基板は前記基準電圧発生回路の前記第2の出力端、及び接地の一方に接続されていることを特徴とする請求項4記載の半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、例えばMIS型トランジスタを用いたメモリ等の半導体装置に係わり、特に、電源電圧降圧回路に関する。

##### 【0002】

#### 【従来の技術】

例えばMIS型トランジスタを用いたメモリ装置等の半導体装置（以下LSIと称す）は、素子の微細化に伴い、ゲート酸化膜厚も薄く形成されてきている。一方、この種のLSIに印加される外部電源電圧（以下、VEXTと称す）の電圧は、素子の微細化と必ずしも合致していない。このため、LSIを使用するユーザーの環境に応じて決定される高電圧のVEXTがLSIに印加される場合がある。高電圧のVEXTがLSI内部の薄いゲート酸化膜を有するトランジスタ

に印加されると、ゲート酸化膜が破壊されることがある。

#### 【0003】

これを防止するため、LSI内部に電源電圧降圧回路（以下、降圧回路と称す）が配置され、この降圧回路によりVEXTを降圧して、LSIの内部電源電圧（以下、VINTと称す）を生成する対策が講じられている。このように、VEXTより低いVINTを生成することにより、薄いゲート酸化膜を有するトランジスタの破壊を防止できる。なお、VINTの電圧は、VEXTが一定以上の電圧になると、VEXTの電圧の変化や温度の変化に依存しない電圧となり、その電圧は一定値となる。

#### 【0004】

尚、降圧回路を用いて外部電源電圧から内部電源電圧を発生する技術として、例えば低消費電力モード（ディープ・パワーダウンモード）において、制御信号に応じてオンとされ、外部電源電圧よりNMOSトランジスタの閾値電圧VTHN分だけ低い内部電源電圧を発生する回路が開発されている（特許文献1参照）。

#### 【0005】

また、外部電源電圧から内部電源電圧を発生する電圧発生回路を有する半導体装置において、電源投入に伴い発生されたパワーオンリセット信号により、PMOSトランジスタをオンさせ、外部電源電圧VEXTを強制的に内部電源電圧VINTとする回路が開示されている（特許文献2参照）。

#### 【0006】

##### 【特許文献1】

特開2002-373490号公報（段落番号[0106]～[0111]、図2）

#### 【0007】

##### 【特許文献2】

特開2001-210076号公報（段落番号[0040]、図5）

#### 【0008】

【発明が解決しようとする課題】



従来の降圧回路は、基準電圧  $V_{REF}$  を発生するバンドギャップリファレンス回路を用いた基準電圧生成回路と、この電圧生成回路からの基準電圧  $V_{REF}$  を入力として  $V_{INT}$  を生成する内部電圧生成回路とにより構成されている。

#### 【0009】

ところで、LSI は、例えば長時間アクセスされないとき、消費電力を抑制するためスタンバイモードとされる。LSI をスタンバイモードにする時、LSI の待機電流を抑制するため、 $V_{EXT}$  を 1 V 程度まで降下させる場合がある。この場合、上記従来の降圧回路により生成される  $V_{INT}$  は、0.7 V しか出力されない状態となる。 $V_{INT}$  はメモリセルの電源としても使用されるため、メモリセルの電源にも 0.7 V の電圧が印加されることになる。この電圧は例えばスタティック RAM のメモリセルを構成する P チャネル MOS トランジスタ（以下、PMOS トランジスタと称す）の閾値電圧  $|V_{THP}|$  或いは N チャネル MOS トランジスタ（以下、NMOS トランジスタと称す）の閾値電圧  $V_{THN}$  とほぼ等しい値である。このため、メモリセルのデータラッチ能力が弱まってしまう。すなわち、メモリセルを構成する PMOS トランジスタの  $|V_{THP}|$  或いは NMOS トランジスタの  $V_{THN}$  が 0.7 V より高くなった場合、PMOS トランジスタ或いは NMOS トランジスタはオフ状態となり、メモリセルに記憶されているデータが喪失してしまう危険性を伴っている。

#### 【0010】

また、半導体装置は、微細化が要求されている。このため、降圧回路の回路規模が増大することは好ましくない。したがって、所要の内部電源電圧を生成するために、専用の制御信号や、この制御信号を生成する回路は極力少ないことが望ましい。

#### 【0011】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、スタンバイモード等の外部電源電圧が低い状態において、専用の制御信号を必要とせずに、内部電源電圧が外部電源電圧より低下することを抑制でき、外部電源電圧が低い状態における半導体装置の性能を向上させることが可能な半導体装置を提供しようとするものである。

**【 0 0 1 2 】****【課題を解決するための手段】**

本発明の一態様に係る半導体装置は、上記課題を解決するため、基準電圧を発生し、発生した前記基準電圧を出力する出力端を有する基準電圧発生回路と、前記基準電圧発生回路の前記出力端から供給される基準電圧に応じて外部電源電圧を降圧し、内部電源電圧を出力端から出力する電圧生成回路と、前記外部電源電圧が供給される端子と前記電圧生成回路の前記出力端との間、及び前記外部電源電圧が供給される端子と前記基準電圧発生回路の前記出力端との間の少なくとも一方に電流通路が接続され、ゲートに一定の電圧が供給された負の閾値電圧を有するトランジスタとを具備している。

**【 0 0 1 3 】**

また、本発明の他の態様に係る半導体装置は、基準電圧を発生し、発生した前記基準電圧を出力する第 1 の出力端、及び電流源を制御するための制御信号を発生し、発生した前記制御信号を出力する第 2 の出力端を有する基準電圧発生回路と、前記基準電圧発生回路の前記第 1 の出力端から供給される基準電圧に応じて外部電源電圧を降圧し、内部電源電圧を出力端から出力する電圧生成回路と、前記外部電源電圧が供給される端子と前記電圧生成回路の前記出力端との間に電流通路が接続され、ゲートに第 1 の電圧が供給された負の閾値電圧を有する第 1 のトランジスタと、前記外部電源電圧が供給される端子と前記基準電圧発生回路の前記第 1 の出力端との間、及び前記外部電源電圧が供給される端子と前記基準電圧発生回路の前記第 2 の出力端との間の少なくとも一方に電流通路が接続され、ゲートに第 2 の電圧が供給された負の閾値電圧を有する第 2 のトランジスタとを具備している。

**【 0 0 1 4 】****【発明の実施の形態】**

以下、本発明の実施の形態について図面を参照して説明する。尚、各実施形態において、同一部分には同一符号を付す。

**【 0 0 1 5 】**

(第 1 の実施形態)

図1は、第1の実施形態を示している。図1に示す降圧回路は、基準電圧を発生する基準電圧発生回路としてのバンドギャップリファレンス(BGR)回路11、オペアンプ12、電圧生成回路13、及びデプレッション型NチャネルMOSトランジスタ(以下、DタイプNMOSトランジスタと称す)DN10により構成される。BGR回路11の出力信号NA、NBはオペアンプ12に供給され、オペアンプ12の出力信号NPはBGR回路11に供給される。BGR回路11から出力される基準信号REFは電圧生成回路13に供給され、BGR回路11から出力される信号CMNは、オペアンプ11及び電圧生成回路13に供給される。電圧生成回路13は基準信号REFに応じて内部電源電圧VINTを出力する。さらに、電圧生成回路13の出力端と外部電源電圧VEXTが供給される端子の相互間にはDタイプNMOSトランジスタDN10が接続されている。このトランジスタDN10のゲートは接地されている。さらに、このトランジスタDN10の基板は、電圧生成回路13の出力端に接続されている。DタイプNMOSトランジスタDN10の閾値電圧は、例えば $V_{THN} = -1.4\text{ V}$ に設定されている。

#### 【0016】

図2は、BGR回路11の一例を示し、図3は、オペアンプ12の一例を示し、図4は、電圧生成回路13の一例を示している。各回路のPMOSトランジスタの閾値電圧は同じ値であるものとし、以降、 $V_{THP}$ と称す。また、NMOSトランジスタの閾値電圧は $V_{THN}$ と称す。

#### 【0017】

図2において、BGR回路11は、PMOSトランジスタP1～P5及びNMOSトランジスタN1、ダイオードD1～D3、及び抵抗R1、R2により構成されている。前記オペアンプ12の出力信号NPはPMOSトランジスタP1のゲートに供給される。また、前記信号NAはPMOSトランジスタP2とダイオードD1の接続ノードから出力され、前記信号NBはPMOSトランジスタP3と抵抗R1の接続ノードから出力される。前記基準信号REFはPMOSトランジスタP4と抵抗R2の接続ノードから出力され、前記信号CMNはPMOSトランジスタP5とNMOSトランジスタN1の接続ノードから出力される。

## 【0018】

図3において、オペアンプ12は、PMOSトランジスタP6、P7、及びNMOSトランジスタN2、N3、N4により構成されている。前記信号NA、NBはNMOSトランジスタN2、N3のゲートにそれぞれ供給され、前記信号CMNは電流源としてのNMOSトランジスタN4のゲートに供給される。出力信号NPはPMOSトランジスタP7とNMOSトランジスタN2の接続ノードから出力される。

## 【0019】

図4において、電圧生成回路13は、オペアンプを構成するPMOSトランジスタP8、P9、NMOSトランジスタN5、N6、N7、及びレギュレータを構成するPMOSトランジスタP10、抵抗R11、R12により構成されている。レギュレータにおいて、外部電源電圧VEXTが供給される端子と接地間にはPMOSトランジスタP10、抵抗R11、R12が直列接続されている。抵抗R11、R12の接続ノードは、NMOSトランジスタN5のゲートに接続され、前記基準信号REFはNMOSトランジスタN6に供給されている。前記信号CMNは電流源としてのNMOSトランジスタN7のゲートに供給されている。オペアンプの出力信号GPはPMOSトランジスタP10のゲートに供給され、PMOSトランジスタP10と抵抗R11の接続ノードから内部電源電圧VINTが出力される。

## 【0020】

図5を参照して、上記降圧回路の動作について説明する。ここで、信号NAの電圧をVNA、信号NBの電圧をVNB、基準信号REFの電圧をVREF、信号CMNの電圧をVCMNとする。

## 【0021】

まず、VEXTの電圧値が図5に示す範囲(B)の状態にある場合について説明する。この範囲(B)は、VEXTが1.5V以上であり、通常動作の場合である。図3に示すオペアンプと、図2に示すBGR回路は、図1に示すように、互いの出力信号を入力とするループ回路となっている。BGR回路11の出力信号NA、NBは、BGR回路11の特性上 $VNA = VNB$ である。すなわち、P

MOSトランジスタP2とP3は、カレントミラー回路を構成しており、ダイオードD1、D2に流れる電流 $i_2$ 、 $i_3$ は、 $i_2 = i_3$ となる。このため、 $V_{NA} = V_{NB}$ となる。

#### 【0022】

図6 (a) (b) は、ダイオードD1、D2に流れる電流 $i_2$ 、 $i_3$ 、及び電圧 $V_{NA}$ 、 $V_{NB}$ の電圧電流特性の関係を示している。電圧 $V_{NA}$ と電流 $i_2$ の電圧電流特性、電圧 $V_{NB}$ と電流 $i_3$ の電圧電流特性は、図6 (b) に示すようになり、電流 $i_2 = i_3$ において、必然的に $V_{NA} = V_{NB}$ に安定する。この電圧状態の信号NA、NBがオペアンプ12に供給されることにより、オペアンプ12の出力信号NPの電圧値はほぼ $(V_{EXT} - |V_{THP}|)$ となる。このオペアンプ12の出力信号NPがBGR回路11のPMOSトランジスタP1のゲートに供給されることにより、PMOSトランジスタP1の $|V_{GS}| - |V_{THP}|$ は一定値となる。この結果、PMOSトランジスタP1に流れる電流 $i_1$ は、 $V_{EXT}$ 電圧の上昇に関係なく一定値となる。この電流 $i_1$ は電流 $i_2 \sim i_5$ に分かれて流れる。しかし、電流 $i_1$ が $V_{EXT}$ の上昇に関係なく一定値となるため、電流 $i_2 \sim i_5$ も $V_{EXT}$ の上昇に依存することなく一定値となる。BGR回路11の出力信号NAの電圧 $V_{NA}$ は、次式で決まる。

#### 【0023】

$$V_{NA} = i_2 \times DR1$$

ここで、 $DR1$ はダイオードD1の抵抗値である。

#### 【0024】

また、出力信号NBの電圧 $V_{NB}$ は、次式で決まる。

#### 【0025】

$$V_{NB} = i_3 \times (DR2 + R1)$$

ここで、 $DR2$ はダイオードD2の抵抗値である。

#### 【0026】

さらに、基準信号REFの電圧 $V_{REF}$ は、次式で決まる。

#### 【0027】

$$V_{REF} = i_4 \times (DR3 + R2)$$

ここで、DR3はダイオードD3の抵抗値である。

【0028】

また、信号CMNの電圧VCMNは、次式で決まる。

【0029】

$$V_{CMN} = i_5 \times NR1$$

ここで、NR1は、NMOSトランジスタN1のチャネル抵抗値である。

【0030】

前述したように電流*i*<sub>2</sub>～*i*<sub>5</sub>は一定値となるため、信号NA、NB、REF、CMNの各電圧も一定値となる。しかも、図1に示すように、BGR回路11とオペアンプ12はループ状態であり、信号NA、NB、CMN、REF、NPの各電圧は互いに釣り合った状態で安定する。信号CMN、REFは、図4に示す電圧生成回路13に供給され、この電圧生成回路13からVINTが出力される。このVINTの電圧は、式(1)で表される。

【0031】

$$V_{INT} = (V_{REF} \times (R_{11} + R_{12}) / R_{12}) \quad \dots (1)$$

あるいは、次式のように表すこともできる。

【0032】

$$V_{INT} = i_6 \times (R_{11} + R_{12})$$

電流*i*<sub>6</sub>は、電圧生成回路13のオペアンプから出力される信号GPがゲートに供給されるPMOSトランジスタP10を介して流れる。前述したように基準信号REFは一定値であるため、式(1)より、VINTの電圧も一定値となる。式(1)から導かれるVINTの電圧がVEXTの電圧以上に高い場合、VINT=VEXTとなる。

【0033】

また、このとき、DタイプNMOSトランジスタDN10の動作は、次のようになる。前述したように、このMOSトランジスタDN10の閾値電圧はVTHN=-1.4Vに設定されている。このMOSトランジスタDN10は、Vgs(ゲート・ソース間電圧)≥VTHNの条件においてオン状態となり、Vgs<VTH=-1.4Vの条件において、オフ状態となる。このため、図5に示す(

b) 以降 ( $V_{INT} = 1.4\text{ V}$ ) において、NMOS トランジスタ DN10 は、 $V_{gs} < V_{TH} = -1.4\text{ V}$  の条件となるため、オフ状態となる。したがって、 $V_{EXT}$  が定常状態の時、 $V_{INT}$  は式 (1) で決まる電圧となり、範囲 (B) において  $V_{INT}$  は一定電圧となる。

#### 【0034】

次に、例えばスタンバイモードのように、 $V_{EXT}$  の電圧が図 5 に示す範囲 (A) の状態にある場合について説明する。この範囲 (A) においては、信号 NA、NB、REF、CMN の各電圧は、範囲 (B) の状態と異なり低い電圧となる。すなわち、 $V_{EXT}$  が低い場合、各回路内の各トランジスタの電流能力が小さく、各回路は定常動作をできない。このため、各信号の電圧は範囲 (B) に示す場合より低い値となる。この状態において、 $V_{EXT}$  の上昇に伴い各電流  $i_1 \sim i_5$  も大きくなっていく。このため、信号 NA、NB、REF、CMN の各電圧も  $V_{EXT}$  の上昇に伴い大きくなり、 $V_{EXT}$  が範囲 (B) に達すると各回路が定常動作をするようになる。範囲 (A) の状態においても  $V_{INT}$  は式 (1) で表される電圧となる。

#### 【0035】

NMOS トランジスタ DN10 は、ソースの電圧が  $V_{INT} = 0\text{ V} \sim 1.4\text{ V}$  の範囲においてオン状態を保つ。したがって、図 5 に示すように、 $V_{INT}$  は、 $V_{EXT} = 0\text{ V} \sim 1.4\text{ V}$  の間 (図 5 の (b) までの間) において、 $V_{REF}$  に関係なく  $V_{INT} = V_{EXT}$  となる。

#### 【0036】

ここで、図 1 乃至図 4 に示す降圧回路における  $V_{EXT}$  に対する  $V_{INT}$ 、 $V_{REF}$ 、 $V_{CMN}$  の各電圧の概数値を、図 5 の (a) (b) (c) に示す。 $V_{EXT}$  が  $1.5\text{ V}$  以上である範囲 (B) の各信号の定常電圧の概算値はそれぞれ、 $V_{INT} = 1.5\text{ V}$ 、 $V_{REF} = 1.3\text{ V}$ 、 $V_{CMN} = 0.6\text{ V}$  である。また、図 4 に示す電圧生成回路 13 の抵抗 R11 と R12 の抵抗値の概算比率は  $R11 : R12 = 1 : 6$  である。 $R11 = 1\text{ k}\Omega$  のとき、 $R12 = 6\text{ k}\Omega$  である。これらの値を式 (1) に代入して  $V_{INT}$  を算出すると、

$$V_{INT} = (1.3) \times ((1\text{ k} + 6\text{ k}) / 6\text{ k}) = 1.517\text{ V}$$

であり、 $V_{INT}$ は、約1.5Vである。

#### 【0037】

上記第1の実施形態によれば、電圧生成回路13の出力端と $V_{EXT}$ との間にDタイプNMOSトランジスタDN10を設けている。このため、 $V_{INT}$ はDタイプNMOSトランジスタN10による電圧と、BGR回路11による電圧との高い方の電圧となる。したがって、 $V_{INT}$ は、図5に示すような電圧となり、範囲(A)において、 $V_{EXT}$ の電圧が低い状態から $V_{EXT}$ と等しい $V_{INT}$ が出力されるようになる。この結果、図5の(a)に示す $V_{EXT}=1V$ において、 $V_{INT}=1V$ となる。よって、例えば半導体装置をスタンバイモードとした際、 $V_{EXT}$ が低い状態において、 $V_{INT}$ が $V_{EXT}$ より低下することを抑制できる。したがって、 $V_{EXT}$ が低い状態における半導体装置の性能を向上させることが可能である。特に、この降圧回路をスタティックRAMに適用した場合、メモリのデータ保持能力の低下を防止できる。

#### 【0038】

さらに、DタイプNMOSトランジスタDN10のゲートは接地され、NMOSトランジスタDN10は、 $V_{EXT}$ と $V_{INT}$ により制御されている。したがって、NMOSトランジスタDN10の動作を制御するために、別途制御信号を必要としないため、この制御信号を生成する回路も必要としない。

#### 【0039】

しかも、NMOSトランジスタDN10の動作を制御するために、別途制御信号を必要としないため、半導体装置がスタンバイモードとされた場合に限りならず、電源がオフ状態からオンされ、外部電源電圧が所定値に達する迄の間等のように、半導体装置の動作状態がいかなる場合においても、外部電源電圧が定常時より低い時、内部電源電圧を外部電源電圧と等しく保持することができる。

#### 【0040】

また、半導体装置のスタンバイモードが解除され、アクティブモードとされた場合、何等の制御することなく、電圧生成回路13から出力される $V_{INT}$ に応じて、NMOSトランジスタDN10がオフとされるため、電圧生成回路13から出力される安定な $V_{INT}$ を瞬時に出力することができる。



## 【0 0 4 1】

## (第 2 の実施形態)

図 7 は、第 2 の実施形態を示している。第 1 の実施形態において、D タイプ NMOS トランジスタ DN 1 0 は、電圧生成回路 1 3 の出力端に接続した。これに対して、第 2 の実施形態において、D タイプ NMOS トランジスタ DN 1 1 は、BGR 回路 1 1 の基準信号 REF を出力する出力端と VEXT が供給される端子の間に電流通路が接続されている。この、NMOS トランジスタ DN 1 1 のゲートは接地され、基板は基準信号 REF を出力する出力端に接続されている。このトランジスタ DN 1 1 の閾値電圧 VTHN は、例えば  $-1.2\text{ V}$  に設定されている。

## 【0 0 4 2】

図 8 は、図 7 の動作を示している。D タイプ NMOS トランジスタ DN 1 1 は、 $V_{gs} \geq V_{THN}$  の条件においてオン状態となる。このため、このトランジスタ DN 1 1 のソースは信号 REF の電圧 VREF が  $0\text{ V} \sim 1.2\text{ V}$  の範囲においてオン状態を保つ。すなわち、図 8 に示すように、VREF は、 $V_{EXT} = 0\text{ V} \sim 1.2\text{ V}$  の範囲（図 8 の（b）までの範囲）において、 $V_{REF} = V_{EXT}$  となる。また、VEXT が（b）～（c）の範囲において、トランジスタ DN 1 1 はオン状態であるため、VREF は VEXT に従い  $1.2\text{ V}$  を保つ。さらに、VEXT が（c）以降の範囲において、トランジスタ DN 1 1 は、 $V_{gs} < V_{TH} = -1.2\text{ V}$  の条件となり、オフ状態となる。このため、VREF は BGR 回路 1 1 から出力される電圧値となり、VEXT が（d）以降の範囲（B）において、一定電圧値となる。

## 【0 0 4 3】

上記第 2 の実施形態によれば、BGR 回路 1 1 の出力端に D タイプ NMOS トランジスタ DN 1 1 を設けている。このため、VREF はこのトランジスタ DN 1 1 から出力される電圧と BGR 回路 1 1 の出力電圧の高い方の電圧とになる。したがって、VREF 及び VINT は、図 8 に示すような電圧となり、範囲（A）に示す VEXT の低い状態において、VINT を VEXT と等しい電圧とすることができる。この結果、 $V_{EXT} = 1\text{ V}$  の時点において、 $V_{INT} = 1\text{ V}$  を出

力できる。このため、第2の実施形態によっても、第1の実施形態と同様の効果を得ることができる。

#### 【0044】

(第3の実施形態)

図9は、第3の実施形態を示している。図9に示す第3の実施形態は、図1に示す第1の実施形態と図7に示す第2の実施形態を組み合わせた回路構成である。図10は、図9に示す回路の動作特性図を示している。図10は、DタイプNMOSトランジスタDN11、DN10の閾値電圧 $V_{THN}$ を共に $V_{THN} = -1.2V$ に設定した場合の動作特性図である。図10に示す各信号の電圧値は、図5の特性図と図8の特性図を合わせた特性図となり、図5の電圧値と図8の電圧値の高い方の電圧値を示す特性図となる。

#### 【0045】

第1、第2の実施形態と同様に、図10の範囲(A)において、 $V_{INT}$ は、 $V_{EXT}$ の電圧値が低い状態から $V_{EXT}$ と共に出力される。すなわち、(a)に示す $V_{EXT} = 1V$ において、 $V_{INT} = 1V$ が出力される。

#### 【0046】

尚、図10は、DタイプNMOSトランジスタDN10の閾値電圧 $V_{THN}$ をDタイプNMOSトランジスタDN11の閾値電圧 $V_{THN} = -1.2V$ に合わせた場合の動作特性図を示している。しかし、DタイプNMOSトランジスタDN11とDN10の閾値電圧 $V_{THN}$ を、それぞれ $V_{THN} = -1.2V$ 、 $V_{THN} = -1.4V$ のように、異なる閾値電圧に設定してもよい。この場合も、図10に示す動作特性と等価な特性を得ることができる。

#### 【0047】

上記第3の実施形態によっても、第1、第2の実施形態と同様の効果を得ることができる。

#### 【0048】

(第4の実施形態)

図11は、第4の実施形態を示している。図11において、電圧生成回路13の出力端と、 $V_{EXT}$ が供給される端子の相互間にはDタイプNMOSトランジ

スタDN10が接続されている。このNMOSトランジスタDN10のゲートには、BGR回路11から出力される信号CMNが供給され、基板は電圧生成回路13の出力端に接続されている。また、BGR回路11の信号CMNを出力する出力端とVEXTが供給される端子の相互間にはDタイプNMOSトランジスタDN12が接続されている。このNMOSトランジスタDN12のゲート及び基板は、例えば接地されている。

#### 【0049】

NMOSトランジスタDN12の基板電圧(VB)は接地電位である。このため、NMOSトランジスタDN12はバックゲート効果により、NMOSトランジスタDN12のソースの電圧VCMNが上昇するに従ってVTHNが高くなる。すなわち、NMOSトランジスタDN12の基板とソース間の電圧VBSがマイナスになるに従ってVTHNが高くなる。例えばNMOSトランジスタDN10のVBSが0V時のVTHNを $V_{THN} = -0.7V$ とした場合、NMOSトランジスタDN12のソース電圧 $= V_{CMN} = 0.5V$ の時、NMOSトランジスタDN12のVBSは $-0.5V$ となり、VTHNは $V_{THN} = -0.5V$ 程度になる。すなわち、NMOSトランジスタDN12のVTHNは、NMOSトランジスタDN10のVTHNより、 $0.2V$ 高くなる。

#### 【0050】

図12は、上記閾値電圧の関係を利用して、NMOSトランジスタDN12の $VBS = 0.5V$ 時のVTHNを $-0.5V$ とし、この時、NMOSトランジスタDN10の $VBS = 0V$ 時のVTHは $V_{TH} = -0.7V$ となるものとした場合における図11に示す回路の動作特性図を示している。

#### 【0051】

NMOSトランジスタDN12は、 $V_{gs} \geq V_{THN}$ の条件において、オン状態となる。このため、NMOSトランジスタDN12は、そのソース電圧VCMNが $0V \sim 0.5V$ の範囲においてオン状態を保つ。このため、図12に示すように、VCMNは、 $VEXT = 0V \sim 0.5V$ の間( $VEXT = 0V \sim (b)$ までの間)において、 $V_{CMN} = VEXT$ となる。さらに、 $(b) \sim (c)$ において、VCMNは、NMOSトランジスタDN12により $0.5V$ を保つ。また、

(c) 以降において、NMOSトランジスタDN12は、 $V_{gs} < V_{TH} = -0.5\text{ V}$ の条件となる。このため、NMOSトランジスタDN12は、オフ状態となるので、 $V_{CMN}$ はBGR回路11から出力される電圧となり、(d) 以降の範囲(B)において、一定電圧となる。

#### 【0052】

また、NMOSトランジスタDN10は、ゲートに信号CMNが供給され、 $V_{THN} = -0.7\text{ V}$ である。NMOSトランジスタDN10は、 $V_{gs} \geq V_{TH}$ の条件においてオン状態となる。このため、 $V_{CMN} = 0.5\text{ V}$ の状態では、NMOSトランジスタDN10のソースに供給される電圧 $V_{INT}$ が $0\text{ V} \sim 1.2\text{ V}$ の範囲においてオン状態を保持する。したがって、図12に示すように、 $V_{INT}$ は、 $V_{EXT}$ が $0\text{ V} \sim 1.2\text{ V}$ の間( $V_{EXT} = 0\text{ V} \sim (a)$ までの間)において、 $V_{REF}$ に関係なく $V_{INT} = V_{EXT}$ となる。

#### 【0053】

また、図12に示す(a)において、BGR回路11から $V_{REF} = 1.05\text{ V}$ が出力されている。このため、電圧生成回路13の出力電圧 $V_{INT}$ は、式(1)で決まる電圧 $= 1.2\text{ V}$ となる。一方、(a) 以降において、NMOSトランジスタDN10は、 $V_{gs} < V_{TH} = -0.7\text{ V}$ の条件となるためオフ状態となる。このため、 $V_{INT}$ は式(1)で決まる電圧となる。さらに、(d) 以降の範囲(B)において、 $V_{INT}$ は一定電圧値となる。

#### 【0054】

このように、電圧生成回路13の出力端にNMOSトランジスタDN10を設けることにより、 $V_{INT}$ はNMOSトランジスタDN10による電圧とBGR回路11による電圧の高い方の電圧となる。このため、 $V_{INT}$ は、図12に示すような電圧となり、範囲(A)において、 $V_{EXT}$ の電圧が低い状態から $V_{EXT}$ と等しい電圧の $V_{INT}$ が出力される。すなわち、 $V_{EXT}$ が $1\text{ V}$ の時、 $V_{INT}$ として $1\text{ V}$ が出力される。

#### 【0055】

尚、図12に示す動作特性図は、NMOSトランジスタDN10及びDN12の $V_{BS}$ が $0\text{ V}$ 時の $V_{THN}$ が互いに等しく、NMOSトランジスタDN12の

バックゲート効果を利用して、 $V_{EXT} = 0V$ 以上において、NMOSトランジスタDN10とDN12の $V_{THN}$ の関係が、 $V_{THN}(DN10) < V_{THN}(DN12)$ となる場合について示した。しかし、これに限定されるものではない。

#### 【0056】

図13は、図11の変形例を示している。図13に示すように、NMOSトランジスタDN12の基板は、信号CMNの出力端に接続されている。このため、NMOSトランジスタDN12は、NMOSトランジスタDN10と同様に $V_B S = 0V$ とされている。したがって、NMOSトランジスタDN10とDN12の $V_{THN}$ は、それぞれ $V_{THN} = -0.5V$ 、 $V_{THN} = -0.7V$ に設定されている。

#### 【0057】

また、図13に示すように、NMOSトランジスタDN10のゲートの電圧は信号CMNに限らず、接地電位としてもよい。

#### 【0058】

このような構成としても、図12に示した動作特性と等価な特性を得ることができる。

#### 【0059】

(第5の実施形態)

図14は、第5の実施形態を示している。第5の実施形態は、図7と図11とを組み合わせた例を示している。すなわち、DタイプNMOSトランジスタDN11は、BGR回路11の信号REFを出力する出力端と $V_{EXT}$ が供給される端子の相互間に接続されている。このNMOSトランジスタDN11のゲートは接地され、基板は信号REFが出力される出力端に接続されている。DタイプNMOSトランジスタDN12は、BGR回路11の信号CMNを出力する出力端と $V_{EXT}$ が供給される端子の相互間に接続されている。このNMOSトランジスタDN12のゲート及び基板は接地されている。DタイプNMOSトランジスタDN10は、電圧生成回路13の出力端と $V_{EXT}$ が供給される端子の相互間に接続されている。このNMOSトランジスタDN10のゲートには信号CMN

が供給され、基板は電圧生成回路 13 の出力端に接続されている。

#### 【0060】

上記構成において、 $V_{EXT}$ が0V以上において、NMOSトランジスタDN12は、バックゲート効果により $V_{THN}$ が上昇する。NMOSトランジスタDN11、DN10は、 $V_{BS}=0V$ としているため、バックゲート効果は発生しない。よって、NMOSトランジスタDN11、DN10、DN12の $V_{EXT}=0V$ 以上での $V_{THN}$ の関係は、 $V_{THN}(DN10)=V_{THN}(DN11)<V_{THN}(DN12)$ となる。

#### 【0061】

また、NMOSトランジスタDN11、DN10、DN12のゲート電圧 $V_g$ の関係は、 $V_g(DN11)=V_g(DN12)<V_g(DN10)$ となる。このため、NMOSトランジスタDN11、DN10、DN12は $V_{EXT}$ の上昇に対応して、DN12、DN11、DN10の順にオフ状態になる。この結果、NMOSトランジスタDN11、DN10、DN12の各 $V_{THN}$ を個別に設定しなくても、 $V_{EXT}=1V$ の時点では $V_{INT}=1V$ が出力されるような特性が得られる。

#### 【0062】

尚、図14において、NMOSトランジスタDN11のゲート電圧は接地電位に限らず、信号CMNの電位としてもよい。また、NMOSトランジスタDN10のゲート電圧は信号CMNの電位に限らず、接地電位としてもよい。

#### 【0063】

図15は、図14のさらなる変形例を示すものであり、NMOSトランジスタDN12の基板を信号CMNが出力される出力端に接続している。このように、NMOSトランジスタDN11、DN10、DN12の各 $V_{THN}$ を個別に設定しても、 $V_{EXT}=1V$ において、 $V_{INT}=1V$ を出力することができる。

#### 【0064】

尚、上記各実施形態において、NMOSトランジスタDN10、DN11、DN12のドレインに供給される電圧は $V_{EXT}$ とした。しかし、これに限定されるものではなく、例えば電源投入時から1Vまでにおいて、 $V_{EXT}$ と等価な電

圧で変化する電源や、電源投入時から 1 V までにおいて VEXT と等価な電圧で出力される半導体装置内部の信号線を、NMOS トランジスタ DN10、DN11、DN12 のドレインに供給してもよい。

#### 【0065】

さらに、上記各実施形態において、基準信号 REF は、BGR 回路 11、及びオペアンプ 12 を用いて生成した。しかし、これに限定されるものではない。

#### 【0066】

図 16 は、基準信号 REF の生成回路の変形例を示している。この回路は、カレントミラー回路と電圧発生回路とにより構成されている。カレントミラー回路は、PMOS トランジスタ P31、P32、NMOS トランジスタ N31、N32、及び抵抗 R31 により構成されている。電圧発生回路は PMOS トランジスタ P33、NMOS トランジスタ N33、N34、D タイプ NMOS トランジスタ DN31、DN32 により構成されている。信号 REF は D タイプ NMOS トランジスタ DN32 と NMOS トランジスタ N34 の接続ノードから出力され、信号 CMN は PMOS トランジスタ P33 と NMOS トランジスタ N33 の接続ノードから出力される。この生成回路によっても上記各実施形態と同様の効果を得ることができる。

#### 【0067】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

#### 【0068】

##### 【発明の効果】

以上、詳述したように本発明によれば、スタンバイモード等の外部電源電圧が低い状態において、専用の制御信号を必要とせずに、内部電源電圧が外部電源電圧より低下することを抑制でき、外部電源電圧が低い状態における半導体装置の性能を向上させることが可能な半導体装置を提供できる。

##### 【図面の簡単な説明】

##### 【図 1】

第 1 の実施形態を示す構成図。

**【図 2】**

図 1 に示す BGR 回路の一例を示す回路図。

**【図 3】**

図 1 に示すオペアンプの一例を示す回路図。

**【図 4】**

図 1 に示す電圧生成回路の一例を示す回路図。

**【図 5】**

図 1 の動作を示す特性図。

**【図 6】**

図 6 (a) は、ダイオード D1、D2 に流れる電流  $i_2$ 、 $i_3$  を示し、図 6 (b) は、ダイオード D1、D2 の電圧電流特性を示す特性図。

**【図 7】**

第 2 の実施形態を示す構成図。

**【図 8】**

図 7 の動作を示す特性図。

**【図 9】**

第 3 の実施形態を示す構成図。

**【図 10】**

図 9 の動作を示す特性図。

**【図 11】**

第 4 の実施形態を示す構成図。

**【図 12】**

図 11 の動作を示す特性図。

**【図 13】**

図 11 の変形を示す構成図。

**【図 14】**

第 5 の実施形態を示す構成図。

**【図 15】**

図 14 の変形例を示す構成図。



**【図 1 6】**

基準信号 R E F の生成回路の変形例を示す回路図。

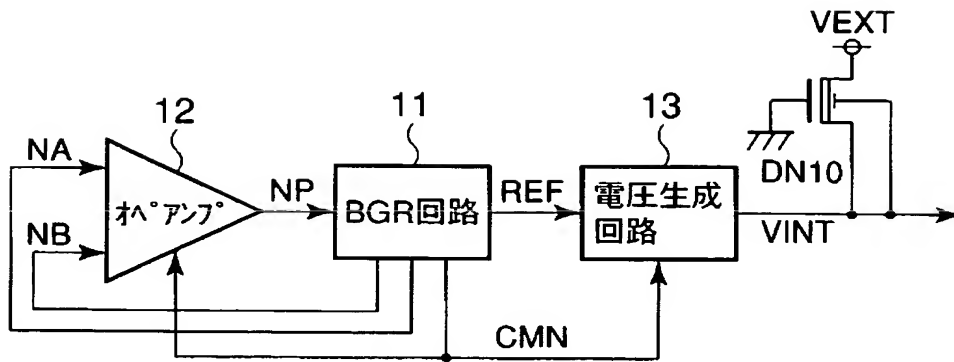
**【符号の説明】**

1 1 … B G R 回路、1 3 … 電圧生成回路、D N 1 0、D N 1 1、D N 1 2 …  
D タイプ N M O S トランジスタ、R E F … 基準信号、C M N … 制御信号、V E X  
T … 外部電源電圧、V I N T … 内部電源電圧。

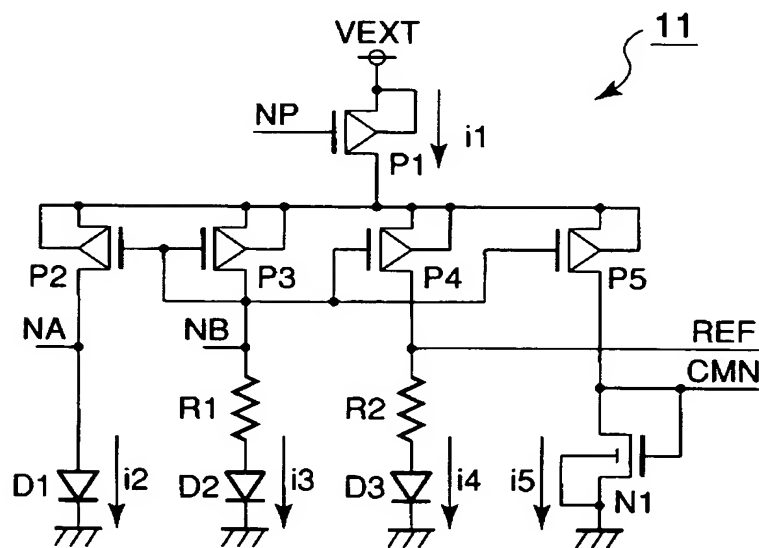
【書類名】

図面

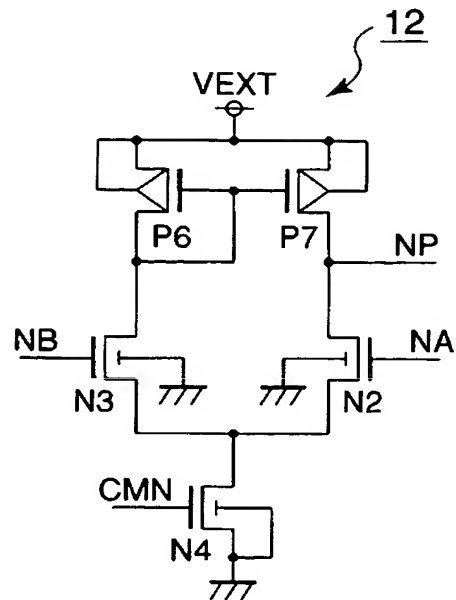
【図 1】



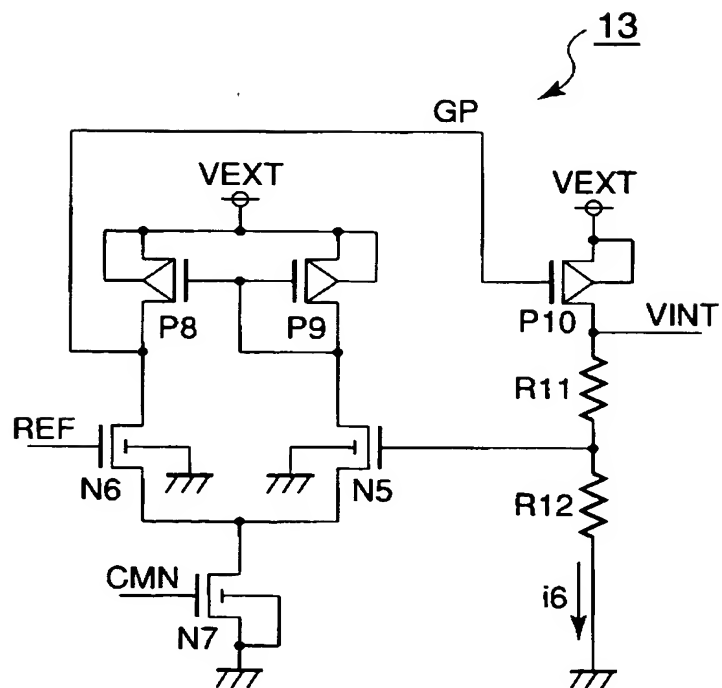
【図 2】



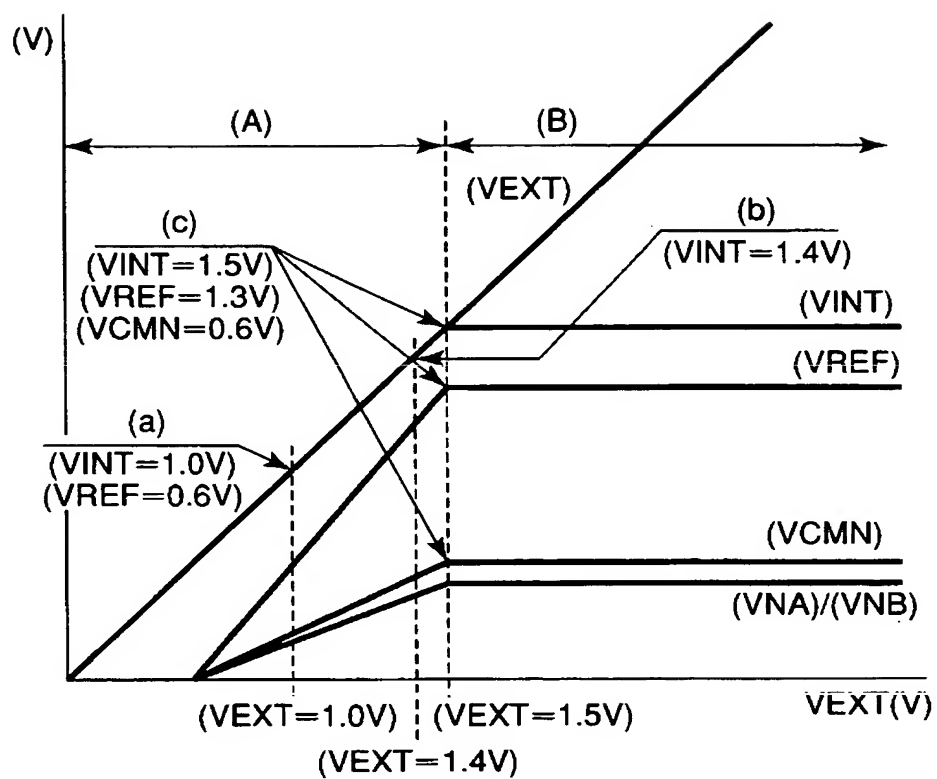
【図 3】



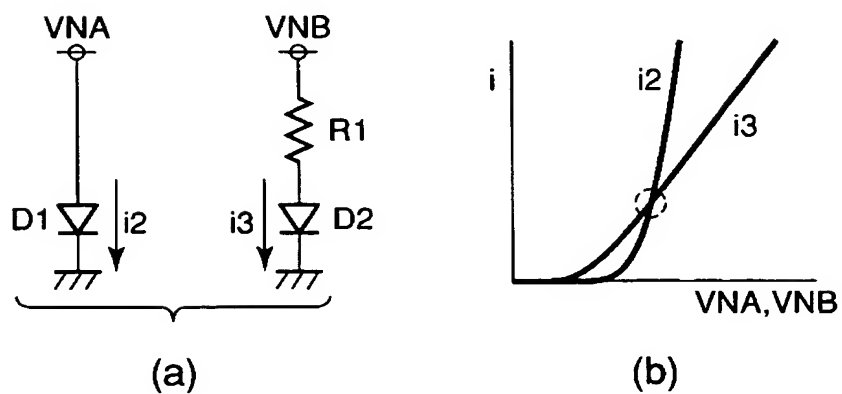
【圖 4】



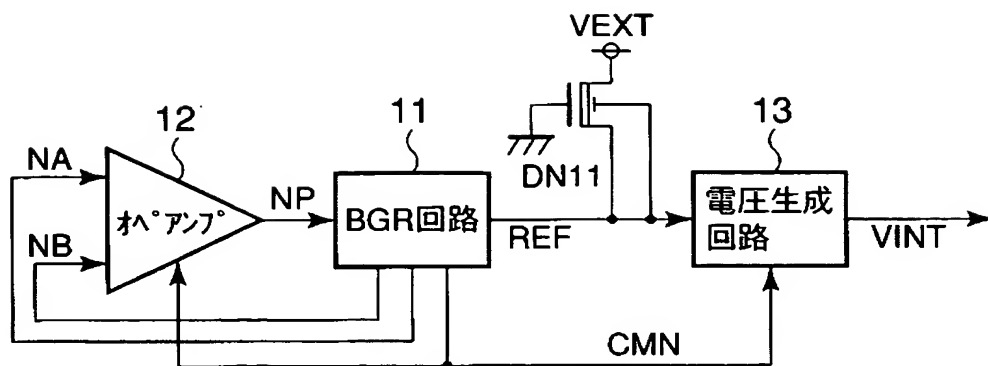
【図 5】



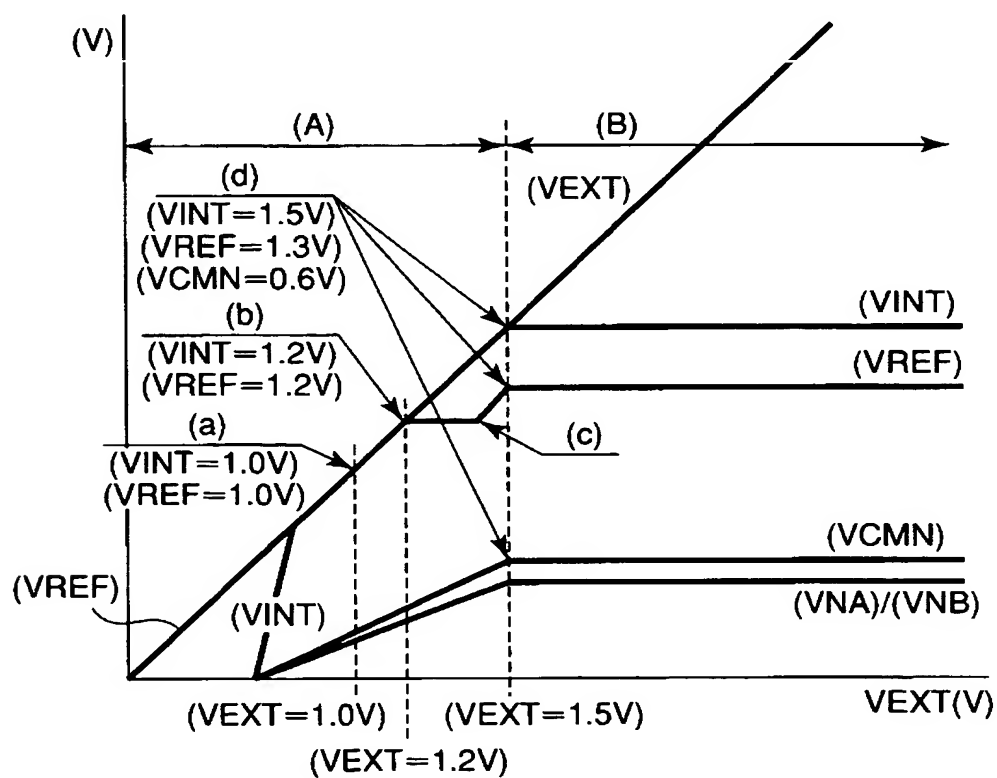
【図 6】



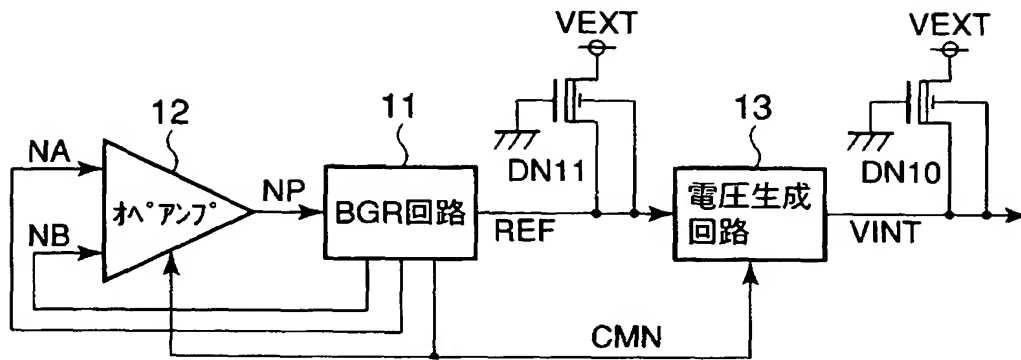
【図 7】



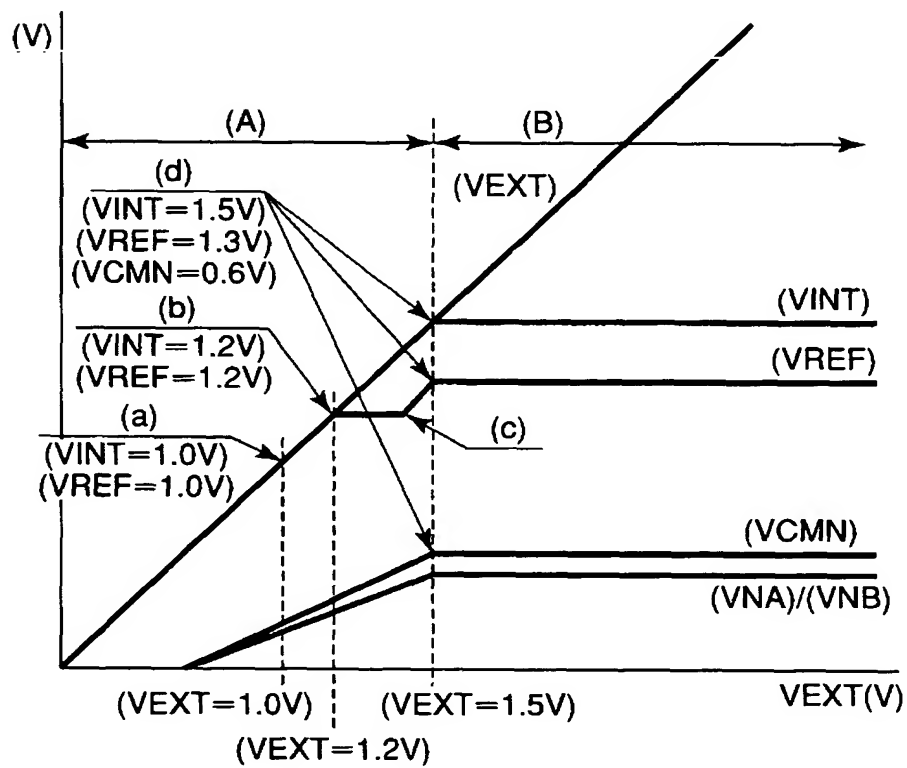
【図 8】



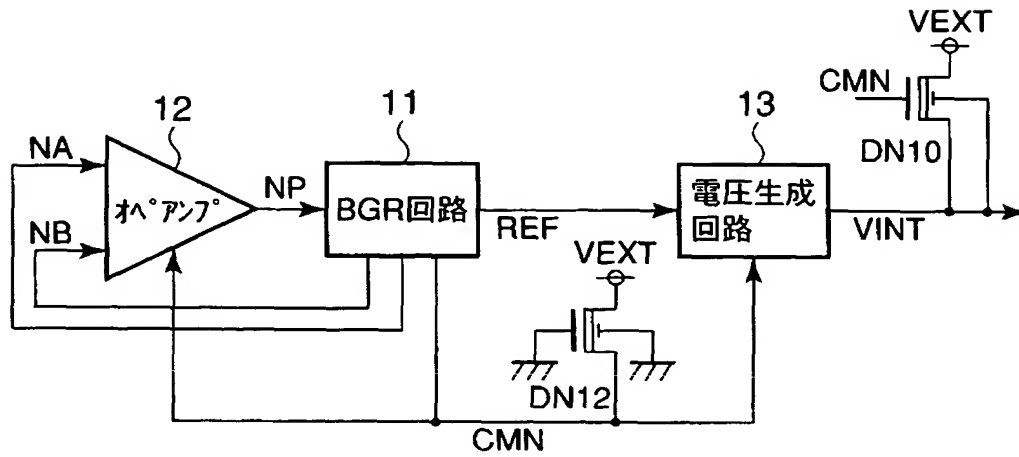
【図 9】



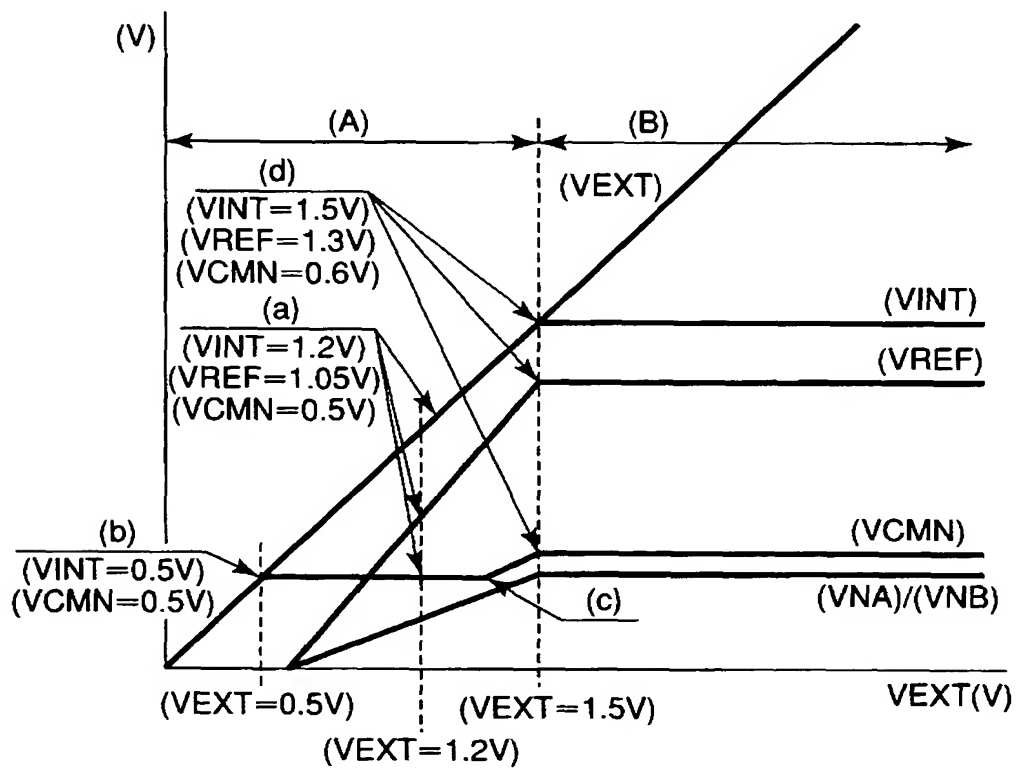
【図 10】



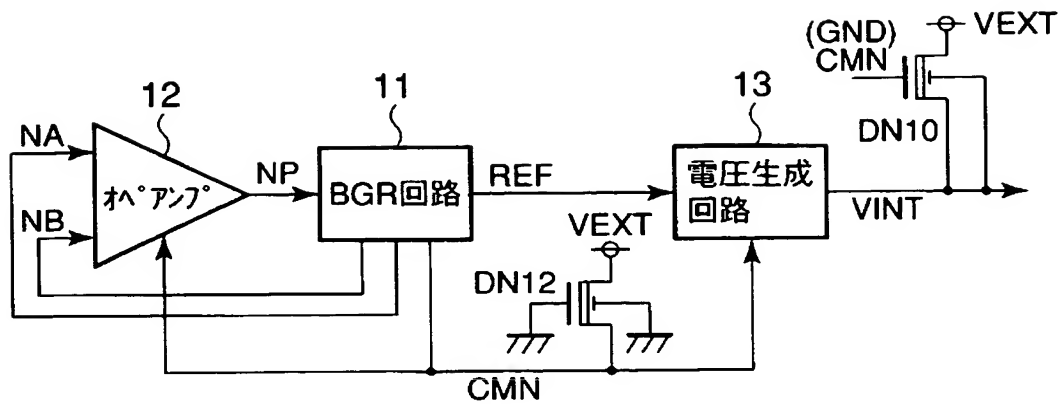
【図 11】



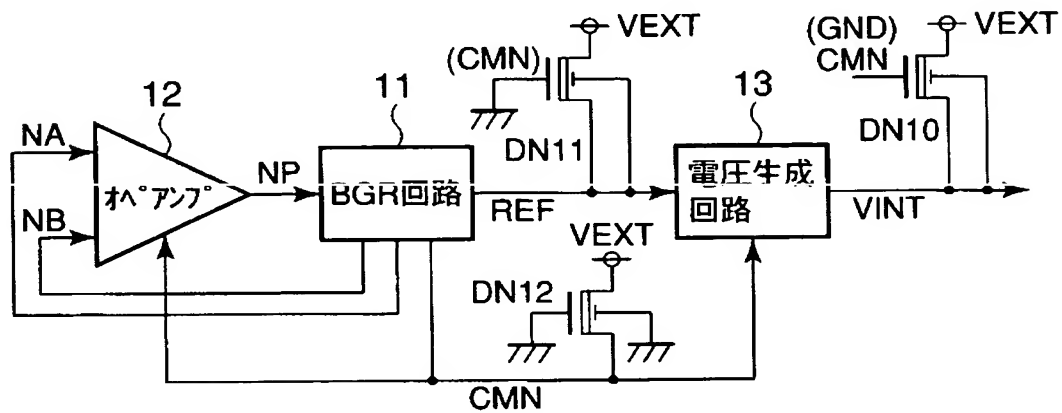
【図 12】



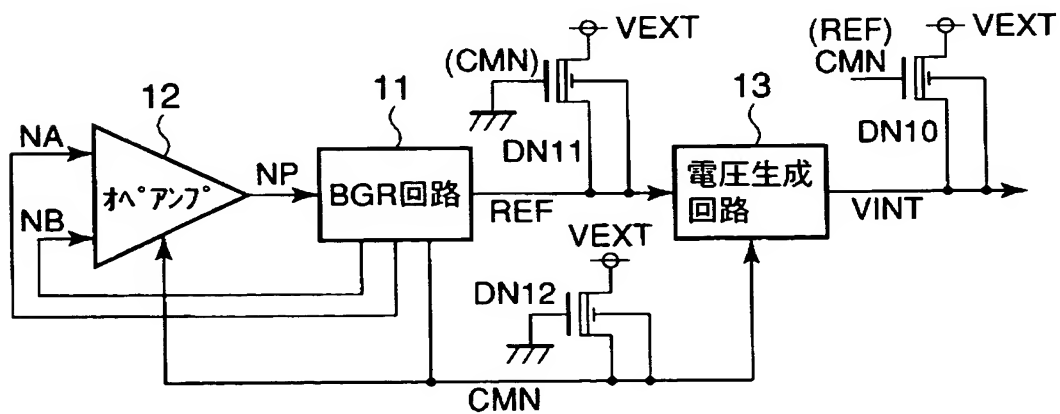
【図 13】



【図 14】

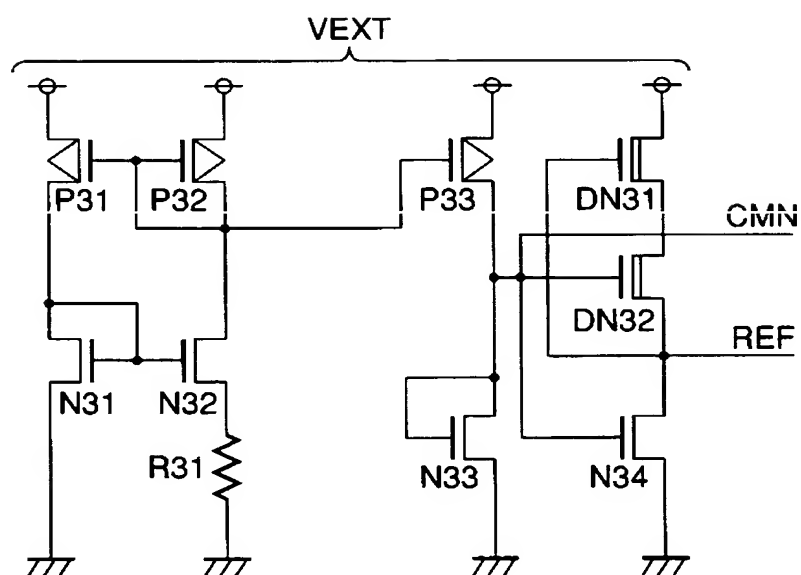


【図 15】





【図 16】



【書類名】 要約書

【要約】

【課題】 外部電源電圧が低い状態において、内部電源電圧が外部電源電圧より低下し、半導体装置の性能を保持することが困難であった。

【解決手段】 基準電圧発生回路 11 は、基準電圧 R E F を発生し、発生した基準電圧 R E F を出力端から出力する。電圧生成回路 13 は、基準電圧発生回路 11 から供給される基準電圧 R E F に応じて外部電源電圧 V E X T を降圧し、内部電源電圧 V I N T を出力端から出力する。トランジスタ D N 10 は、外部電源電圧 V E X T が供給される端子と電圧生成回路 13 の出力端との間、及び外部電源電圧 V E X T が供給される端子と基準電圧発生回路 11 の出力端との間の少なくとも一方に電流通路が接続され、ゲートに一定の電圧が供給された負の閾値電圧を有する。

【選択図】 図 1



特願 2 0 0 3 - 1 9 8 4 7 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 2 1 1 9 9 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市川崎区駅前本町 2 5 番地 1

氏 名

東芝マイクロエレクトロニクス株式会社

特願 2003-198470

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝